

CLIPPEDIMAGE= JP401266752A

PAT-NO: JP401266752A

DOCUMENT-IDENTIFIER: JP 01266752 A

TITLE: PACKAGING OF SEMICONDUCTOR DEVICE

PUBN-DATE: October 24, 1989

INVENTOR-INFORMATION:

NAME

NAKAMURA, YUKIO

UMIBE, SUSUMU

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP63094813

APPL-DATE: April 18, 1988

INT-CL (IPC): H01L023/50;H05K003/34 ;H05K003/28

US-CL-CURRENT: 438/106,438/FOR.377

ABSTRACT:

PURPOSE: To enable high-density packaging to be made easily by coating a lead with polyurethane resin, cutting a lead, heating it, and applying pressure to join it.

CONSTITUTION: A metal grain Au bump 3 for connecting an electrode Al pad 2 on the surface of a chip 1 and a lead 4 consisting of copper foil is provided, heat and pressure are applied from the upper direction by a hard tool 11 to form an alloy layer by those thermal diffusion. Then, after coating a chip coat agent 8 such as an epoxy resin on the surface of the chip 1, heat curing

is performed. a polyurethane resin 5 is coated around the lead 4 thinly and uniformly for heat curing, and then the lead 4 is cut to specified dimensions. Then, matching this to a specified position of a packaging substrate 7, it is heated by a soldering iron tool 12 and pressure is applied to for soldering. Namely. since the lead 4 is coated to allow embedding to be made by the polyurethane resin 5, there is no positional deviation. It allows high-density packaging to be made easily.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-266752

⑤Int.Cl.⁴ 識別記号 庁内整理番号 ⑬公開 平成1年(1989)10月24日
 H 01 L 23/50 N-7735-5F
 H 05 K 3/34 T-6736-5E
 // H 05 K 3/28 C-6736-5E 審査請求 未請求 請求項の数 1 (全4頁)

⑭発明の名称 半導体装置の実装方法

⑯特 願 昭63-94813

⑰出 願 昭63(1988)4月18日

⑱発 明 者 中 村 幸 男 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲発 明 者 海 辺 進 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑳出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ㉑代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置の実装方法

2、特許請求の範囲

半導体装置に接合したリードの表面にポリウレタン樹脂をコーティングし、硬化後、半田コートした実装基板に半田付けすることを特徴とする半導体装置の実装方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、コンピュータ等に用いられる半導体装置の実装方法に関するものである。

従来の技術

近年、電気製品の軽薄短小化に伴ない、ICの実装もDIPタイプからフラットパッケージタイプになっている。特に最近ではパッケージのない裸のICチップも使われており、ワイヤーボンディング方式からフィルムキャリア方式が使われ、一部にはフリップチップ方式も使われている。

発明が解決しようとする課題

しかしながら、ワイヤーボンディング方式ではワイヤーをボンディングするキャピラリーの大きさのため狭いピッチでボンディングができない。またフィルムキャリア方式では、フィルムを使っているため、高密度になると、銅箔のエッチング残渣による、マイグレーションで、パターンがショートすることがある。さらに他の基板に実装する場合、現在の方法では半田付けの点から実装面積の小型化は困難である。またフリップチップ方式は高密度のため作業性が悪いものであった。以上のように、従来の実装方式にはそれぞれ問題点を有していた。

これらの問題を解決するため本発明は高密度で、高信頼性でかつ、作業性の良い、半導体装置の実装方法を提供するものである。

課題を解決するための手段

上記目的を達成するため本発明はフィルムキャリアと同様に半導体素子にリードを接合し、次にこのリード全表面にポリウレタン樹脂を塗布し、加熱硬化後、リードを切断する。

これを実装基板の所定の位置に載せ、上方より治具を用い加熱、加圧し、実装基板上の半田コートを融かし、半田付けをして実装をするようにしたものである。

作 用

本発明によれば、リードにポリウレタン樹脂を塗布し、リードを切断し、これを加熱、加圧して接合するため、高密度実装が容易になる。

実 施 例

以下図面を用いて本発明の実施例につき説明をする。

第1図は本発明を用いて製造した半導体装置の断面図である。半導体装置を構成する集積回路ICのチップ1の表面には外部との接続のための電極としてALパッド2がある。このALパッド2と銅箔からなるリード4とを接続するための金属の粒であるAuパンプ3を設ける。この形成方法としては、例えばAuパンプ3をALパッド2上にメッキで付ける方法とポリイミドやガラスエポキシ樹脂のフィルム10のリード4に同じくメ

を第3図に示し、さらにそのリード4を所定の寸法に切ったものを第4図に示し、同じく第5図に斜視図を示す。

次にこれを、実装しようとする実装基板7の所定の位置にある表面に約10μの半田コートをした半田コート銅箔8上に合わせ、上より半田ゴテツール12で約380℃前後に加熱、加圧する。これにより半田コート銅箔8の半田が融けリード4のポリウレタン樹脂5も融け半田付けされる。半田付けしたものを第6図に示す。この後、チップ1およびリード4の機械的保護等のため全体にエポキシ樹脂で2次コート9をし、熱硬化させる。以上のように本実施例による半導体装置は通常のフィルムキャリアと同じようにして作るため、リード4のピッチを200μ以下でも容易にリード4をチップ1と接合できる。

一方実装基板7へも、リード4をポリウレタン樹脂5で埋めるようにコートしているため位置がズレずに精度良く実装できる。この時リード4はフィルム10と分離しているため高密度ピッチ

ッキで付ける方法と、別の基板にAuパンプをメッキで付け、これを転写する方法とがある。

次にこのようにしてALパッド2とAuパンプ3とリード4を接合させるため、その上方より硬い金属又はダイヤモンドをコートしたツール11で加熱、加圧し、それらの熱拡散による合金層を形成する。

なおリード3の表面には合金層を形成しやすくするためSnをメッキで1μ以下に付けている。この様子を第2図に示す。

このように通常のフィルムキャリアと同じ方法でチップ1とフィルム10のリード4は、位置合わせ後、加熱加圧され、接合される。

次にチップ1の表面に外部からの環境による汚染を防止するためエポキシ樹脂等のチップコート剤8をコートする。その後、約150℃1時間の熱硬化をする。次にリード4の全周囲にポリウレタン樹脂5を、ディスペンサー等を使って100μ以下と薄く、均一にコートする。この後約240℃以下で熱硬化させる。熱硬化して形成したもの

の高湿度の電場における銅のマイグレーションによるリード4間のショートはない。このマイグレーションは銅リード4エッチングの残りが大きく起因しているためである。

なおポリウレタン樹脂5は低吸湿、高耐熱等の特長があり高信頼性である。

さらに実装基板7と実装する場合、ポリウレタン樹脂5はフラックス性があるため、フラックス塗布が不用であり、また後の洗浄も不用であり、フラックス残渣によるリード4の腐食の問題もない。なおここでは説明上ポリウレタン樹脂をリードの表面だけについて述べたがチップ1の表面を含め全体にコートしても同じ効果が得られることは当然である。

発明の効果

上記実施例より明らかなように本発明によれば高密度実装を小型、薄型、低コストに容易に行え、かつ高信頼度であり、価値の高い実装方法を提供するものである。

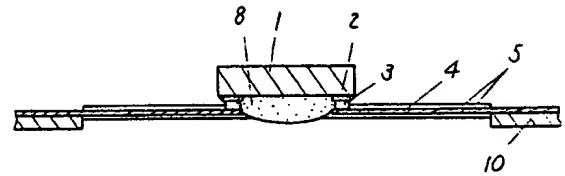
4、図面の簡単な説明

第1図は本発明の半導体装置の実装方法を用いた半導体装置の断面図、第2図～第4図はその各工程の要部断面図、第5図はその一工程における同斜視図、第6図は実装基板7に実装している状態を示す半導体装置の断面図である。

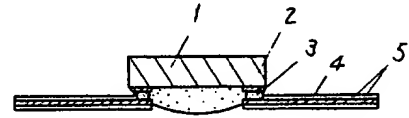
1……チップ、2……ALパッド、3……パンブ、4……リード、5……ポリウレタン樹脂、6……半田コート銅箔、7……実装基板、8……チップコート剤、9……2次コート剤、10……フィルム。

代理人の氏名 井理士 中 尾 敏 男 ほか1名

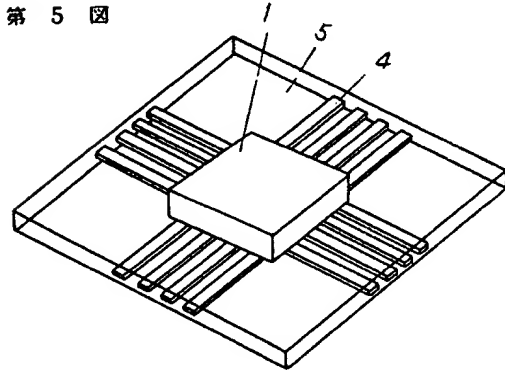
第 3 図



第 4 図

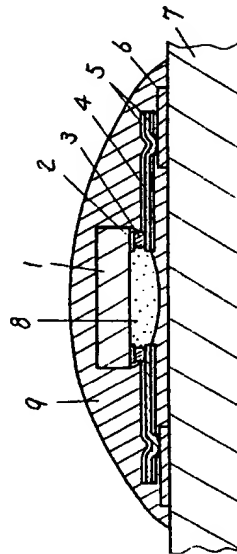


第 5 図

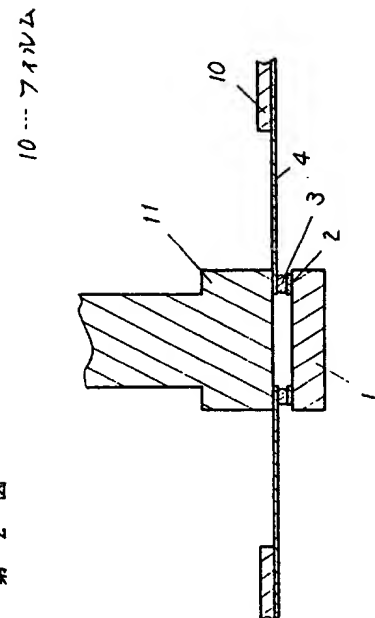


1……チップ
2……ALパッド
3……パンブ
4……リード
5……ポリウレタン樹脂
6……半田コート銅箔
7……実装基板
8……チップコート剤
9……2次コート剤

第 1 図



第 2 図



第 6 図

